

II- Applications à base des bascules

A- Compteurs et décompteurs synchrones: voir M. cours pages 106 et 107.

I- Méthode de résolution :

- ✚ Etablir le cycle de comptage (ou de décomptage) et déterminer le nombre des bascules nécessaires,
- ✚ Choisir le type de la bascule à utiliser et dresser sa table de transition réduite,
- ✚ Dresser la table de comptage en précisant pour chaque séquence l'état initial et final pour pouvoir ensuite déterminer les transitions ainsi que les états des entrées de chaque bascule,
- ✚ Déterminer les équations simplifiées des entrées de commande des bascules,
- ✚ Compléter le schéma de câblage (logigramme).

II- Compteurs synchrones:

Activité: Compteur synchrone modulo 5 à base des bascules JK

➔ Cycle de comptage :

➔ Nombre des bascules :

➔ Table de transition réduite d'une bascule JK

➔ Table de comptage :

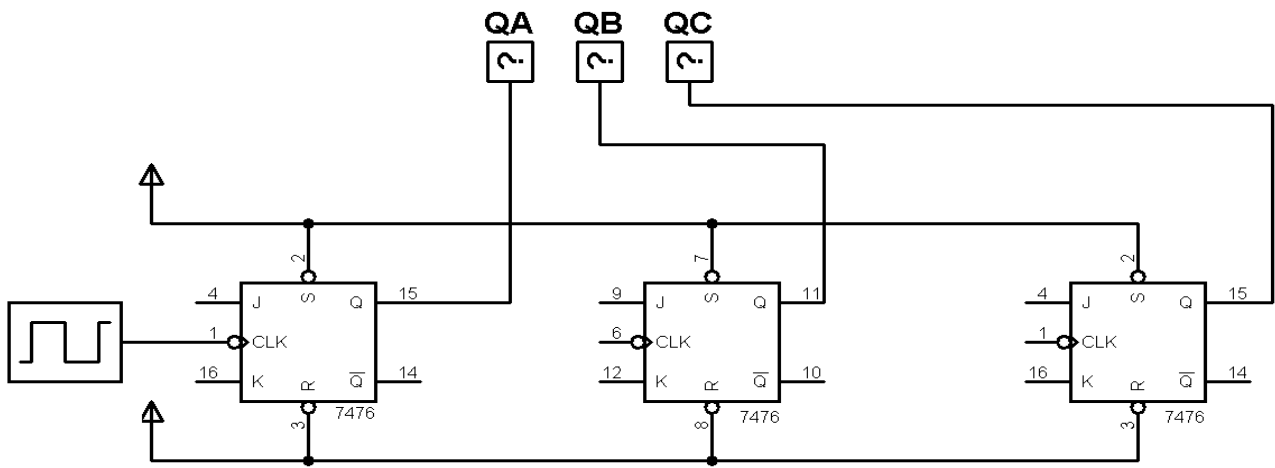
	J	K
μ_0		
μ_1		
ε		
δ		

Décimal	Etat initial (n)			Etat final (n+1)			Commande des bascules					
							Bascule C		Bascule B		Bascule A	
	Q _C	Q _B	Q _A	Q _C	Q _B	Q _A	J _C	K _C	J _B	K _B	J _A	K _A
0	0	0	0									
1												
2												
3												
4												

➔ Equations des entrées des bascules :

Bascule A	<table><tr><th>$Q_C Q_B$</th><th>00</th><th>01</th><th>11</th><th>10</th></tr><tr><th>Q_A</th><td></td><td></td><td></td><td></td></tr><tr><td>0</td><td></td><td></td><td></td><td></td></tr><tr><td>1</td><td></td><td></td><td></td><td></td></tr></table> <p>$J_A = \dots\dots\dots$</p>	$Q_C Q_B$	00	01	11	10	Q_A					0					1					<table><tr><th>$Q_C Q_B$</th><th>00</th><th>01</th><th>11</th><th>10</th></tr><tr><th>Q_A</th><td></td><td></td><td></td><td></td></tr><tr><td>0</td><td></td><td></td><td></td><td></td></tr><tr><td>1</td><td></td><td></td><td></td><td></td></tr></table> <p>$K_A = \dots\dots\dots$</p>	$Q_C Q_B$	00	01	11	10	Q_A					0					1				
$Q_C Q_B$	00	01	11	10																																						
Q_A																																										
0																																										
1																																										
$Q_C Q_B$	00	01	11	10																																						
Q_A																																										
0																																										
1																																										
Bascule B	<table><tr><th>$Q_C Q_B$</th><th>00</th><th>01</th><th>11</th><th>10</th></tr><tr><th>Q_A</th><td></td><td></td><td></td><td></td></tr><tr><td>0</td><td></td><td></td><td></td><td></td></tr><tr><td>1</td><td></td><td></td><td></td><td></td></tr></table> <p>$J_B = \dots\dots\dots$</p>	$Q_C Q_B$	00	01	11	10	Q_A					0					1					<table><tr><th>$Q_C Q_B$</th><th>00</th><th>01</th><th>11</th><th>10</th></tr><tr><th>Q_A</th><td></td><td></td><td></td><td></td></tr><tr><td>0</td><td></td><td></td><td></td><td></td></tr><tr><td>1</td><td></td><td></td><td></td><td></td></tr></table> <p>$K_B = \dots\dots\dots$</p>	$Q_C Q_B$	00	01	11	10	Q_A					0					1				
$Q_C Q_B$	00	01	11	10																																						
Q_A																																										
0																																										
1																																										
$Q_C Q_B$	00	01	11	10																																						
Q_A																																										
0																																										
1																																										
Bascule C	<table><tr><th>$Q_C Q_B$</th><th>00</th><th>01</th><th>11</th><th>10</th></tr><tr><th>Q_A</th><td></td><td></td><td></td><td></td></tr><tr><td>0</td><td></td><td></td><td></td><td></td></tr><tr><td>1</td><td></td><td></td><td></td><td></td></tr></table> <p>$J_C = \dots\dots\dots$</p>	$Q_C Q_B$	00	01	11	10	Q_A					0					1					<table><tr><th>$Q_C Q_B$</th><th>00</th><th>01</th><th>11</th><th>10</th></tr><tr><th>Q_A</th><td></td><td></td><td></td><td></td></tr><tr><td>0</td><td></td><td></td><td></td><td></td></tr><tr><td>1</td><td></td><td></td><td></td><td></td></tr></table> <p>$K_C = \dots\dots\dots$</p>	$Q_C Q_B$	00	01	11	10	Q_A					0					1				
$Q_C Q_B$	00	01	11	10																																						
Q_A																																										
0																																										
1																																										
$Q_C Q_B$	00	01	11	10																																						
Q_A																																										
0																																										
1																																										

➔ Schéma de réalisation:



Activité: Réaliser l'activité 8 pages 74 et 75 du manuel des activités

IV- Décompteurs synchrones:

Activité: Décompteur synchrone modulo 4 à base des bascules D

➔ Cycle de comptage :

.....

➔ Nombre des bascules :

.....

➔ Table de transition réduite d'une bascule D :

	D
μ_0	
μ_1	
ε	
δ	

➔ Table de comptage :

Décimal	Etat initial (n)		Etat final (n+1)		Commande des bascules			
					Bascule B		Bascule A	
	Q_B	Q_A	Q_B	Q_A	D_B		D_A	
3								
2								
1								
0								

➔ Equations des entrées des bascules :

Bascule B

		Q_B		
	Q_A	0	1	
0				D_B
1				

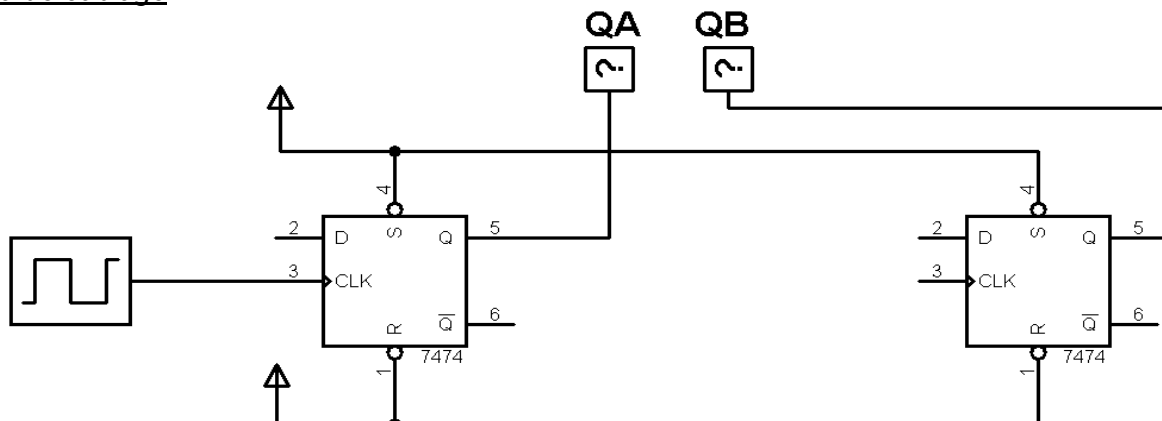
$D_B =$

Bascule A

		Q_B		
	Q_A	0	1	
0				D_A
1				

$D_A =$

➔ Schéma de câblage



Activité: Réaliser l'activité 9 pages 76-77 du manuel des activités

B- Registre à décalage:

Lecture: Consulter le manuel de cours pages 112 et 113.

Activité: Réaliser l'activité 10 pages 77 et 78 du manuel des activités

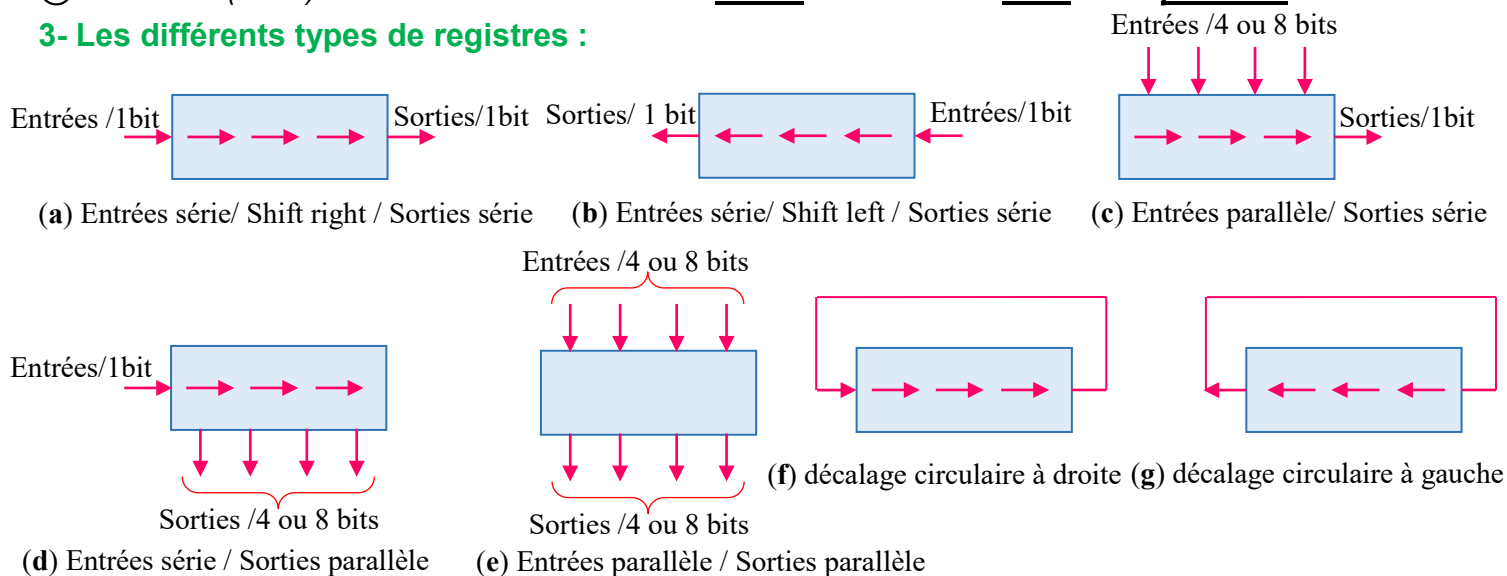
Registres à décalage

1-Définition : Un registre à décalage est un **assemblage de bascules** commandées par **une horloge commune**. Le type de bascules utilisées dans les circuits de registres à décalage sont les bascules "D" ou les bascules "JK" selon l'application envisagée.

2-Principe de fonctionnement des registres :

- ① **La mémorisation** d'une information (Data en anglais) : mode d'écriture (Write) / mode de chargement
L'écriture ou le chargement de l'information à l'entrée se faire soit en série ou en parallèle.
- ② **Le décalage** (Shift en anglais) d'une information : que soit à gauche on dit qu'on a le shift left de l'information en anglais, soit le décalage à droite c'est le shift right
- ③ **La lecture** (Read) : la lecture de l'information de sortie se faire soit en série ou en parallèle.

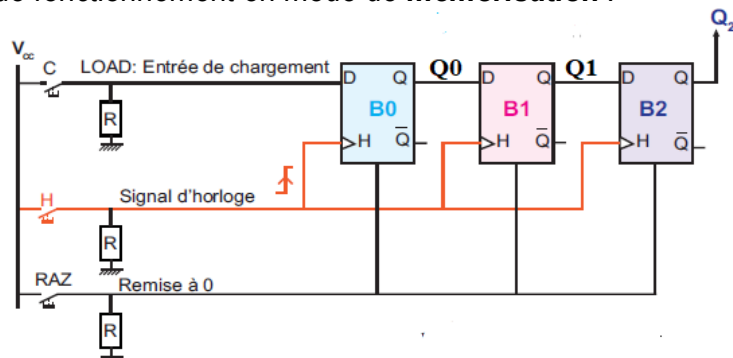
3- Les différents types de registres :



- **Registres à entrées série et sorties série.** (a) et (b)
- **Registres à entrées parallèle et sortie série.** (c)
- **Registres à entrées série et sorties parallèle.** (d)
- **Registres à entrées parallèle et sorties parallèle** (e)
- **Registres à décalage circulaire.** (f) et (g)

4- - Registres à entrées série et sorties série :

1- câbler le montage sur maquette et compléter sa table de fonctionnement en mode de **mémorisation** :

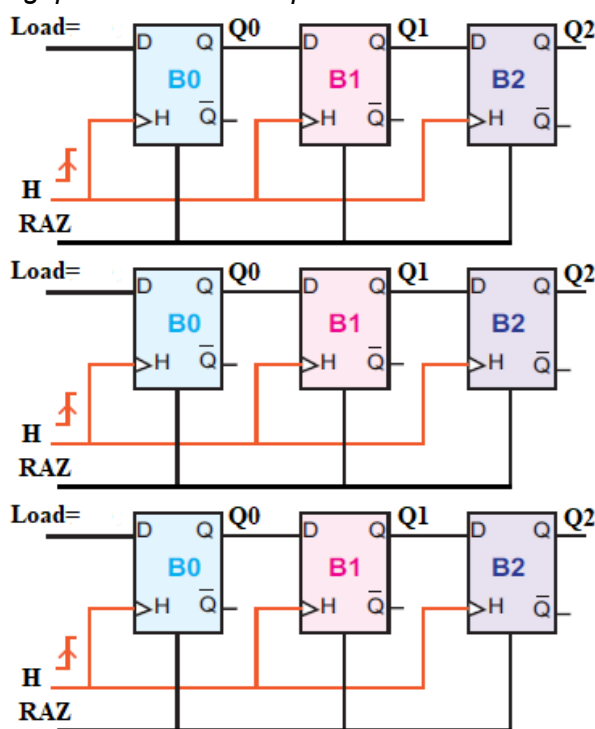


L'information logique d'entrée est codée sur 3 bits = **101**

ÉTAPE	H	RAZ	C	Q ₀	Q ₁	Q ₂
RAZ	-	1	-			
Charger le bit n°1	1	0	1			
Charger le bit n°2	1	0	0			
Charger le bit n°3	1	0	1			

2- définir le sens de décalage :

3- simuler pour chaque cas le déroulement de **mode de mémorisation** de l'information logique d'entrée **101** après la remise à 0.

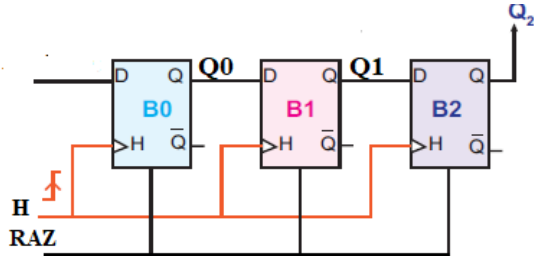


4- sur maquette, compléter la table de fonctionnement en mode de **lecture** de l'information de sortie **101** :

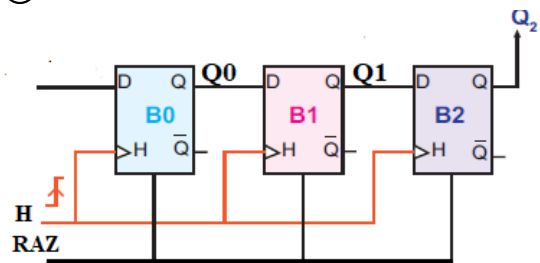
ÉTAPE	H	RAZ	C	Q ₀	Q ₁	Q ₂
initiale	-	0	0			
Lecture sur Q ₂ au (4 ^{ème} front)	⌈	0				
Lecture sur Q ₂ au (5 ^{ème} front)	⌈	0				

5- simuler pour chaque cas le déroulement de **mode de lecture** de l'information logique de sortie **101**.

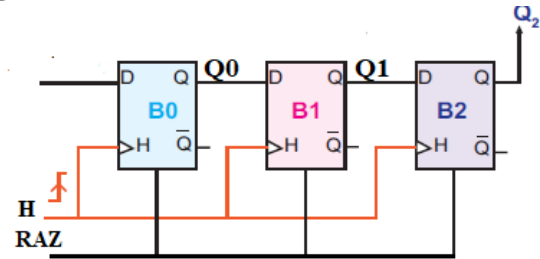
① **Etape initiale** :



② **4^{ème} front** :



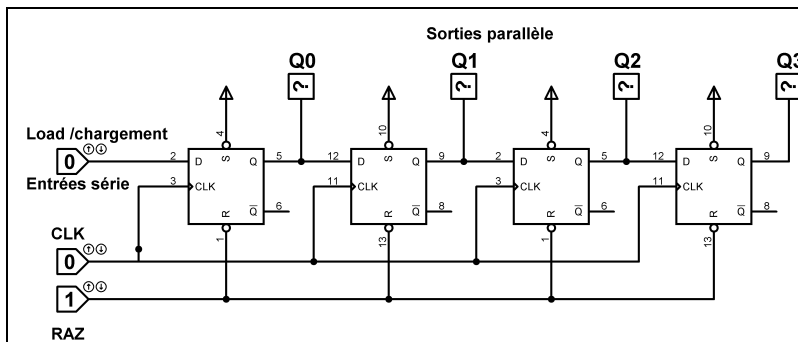
③ **5^{ème} front** :



6-définir le type de registre :

5 - Registres à entrées série et sorties parallèle :

5-1 -Registres à entrées série et sorties parallèle avec bascule D à 4 bits :



RAZ	Load	CLK	Q0	Q1	Q2	Q3
0	-	-				
1	1	1 ^{ère} front				
1	0	2 ^{ème} front				
1	1	3 ^{ème} front				
1	0	4 ^{ème} front				

2- déduire le **mode de lecture** de l'information logique de sortie **1010**.

.....après.....

3-définir le type de registre :

1- Câbler le montage sur maquette et compléter sa table de fonctionnement en mode de **mémorisation** :

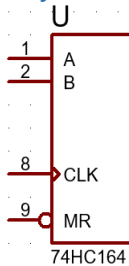
5-2- Registres série / parallèle en circuit intégré 74HC164 :

5-2-1- Présentation :

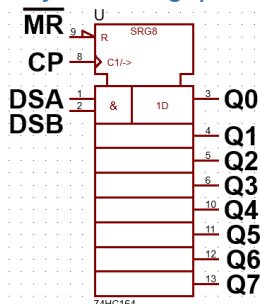
Le circuit 74HC164 est un registre à décalage série parallèle à 8 bits .il est composé :

- d'une entrée de remise à zéro asynchrone (MR).
- d'une entrée d'horloge clock puls (Cp).
- deux entrées de donnée(chargement) série : DSA et DSB.
- huit sorties de données parallèles (Q0 à Q7).

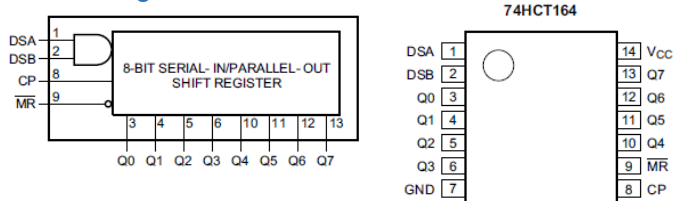
1-Symbole logique :



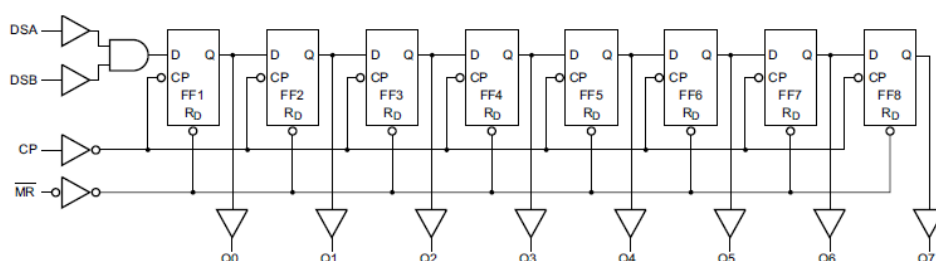
2- Symbole logique :



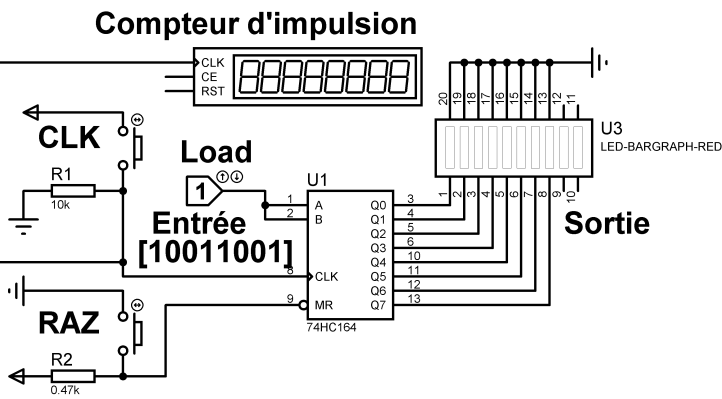
3- Brochages :



4- Structure interne :



5-2-2- Simulation de 74HCT164 :



1- Simuler le montage sous Proteus- Isis et compléter sa table de fonctionnement en mode de **mémorisation** :

Raz	L	Clk	Q0	Q1	Q2	Q3	Q4	Q5	Q6	Q7
0	-	-								
1	1	1								
1	0	1								
1	0	1								
1	1	1								
1	1	1								
1	0	1								
1	0	1								
1	1	1								

2- comment faire la lecture de donnée de sortie :
La lecture finale est après Front de clk sur toutes les sorties en respectant que :
Le premier bit d'entré sera lu sur la sortie ...
et le dernier bit d'entré sera lu sur la sortie....

5-2-3- Application de 74HCT164 :

Le **chenillard** peut désigner : un mouvement lumineux qui se produit en allumant et éteignant successivement une série de lampes ou LED. L'effet se traduit par un déplacement de cette lumière dans un sens choisi, par exemple de gauche à droite.